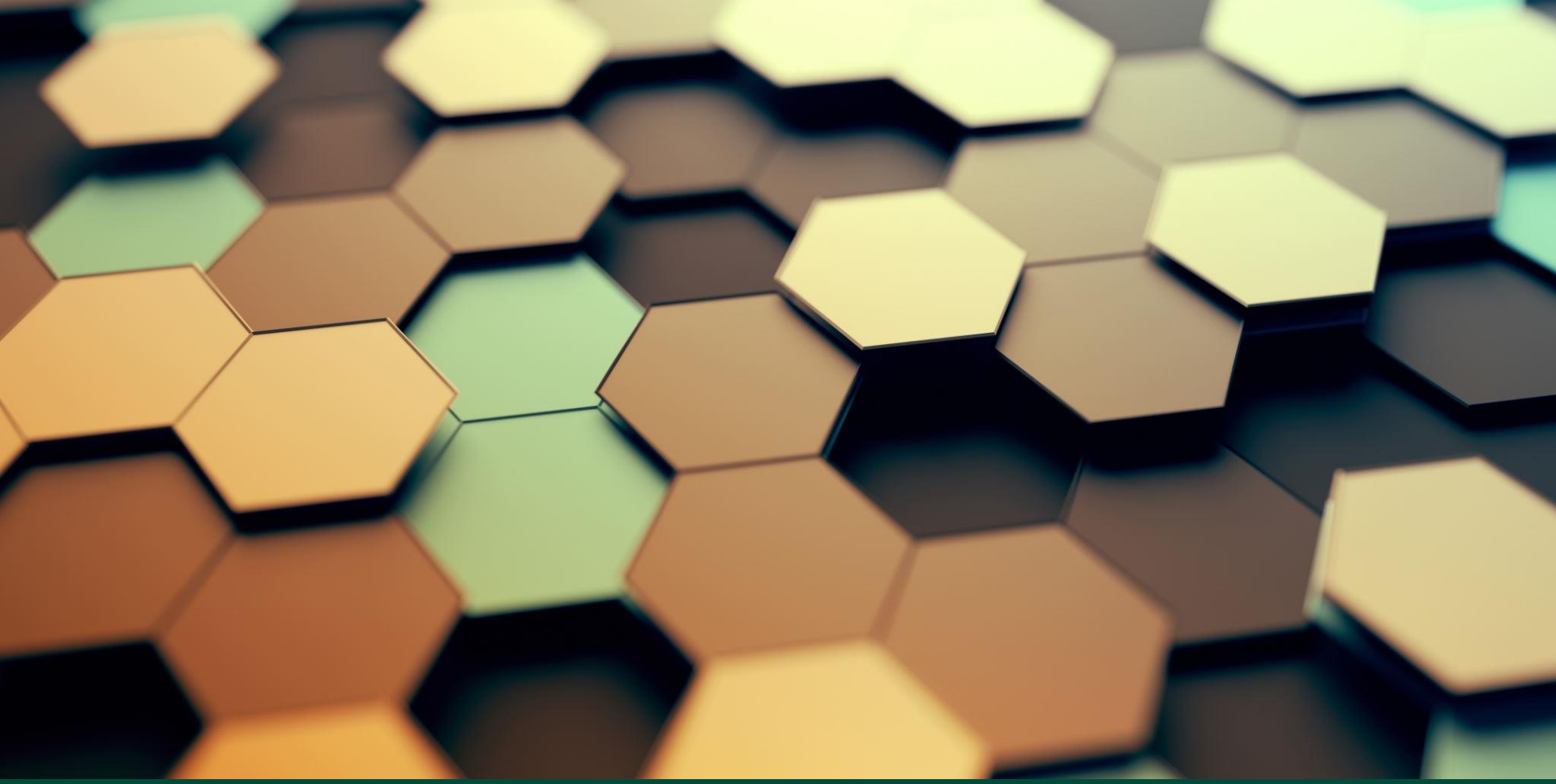


SystemVerilog設計検証ツール

最先端の検証技術を効果的に適用する為には、最適なGUIの使用が不可欠です。
SystemVerilog IDE は時代に即した機能を提供します。

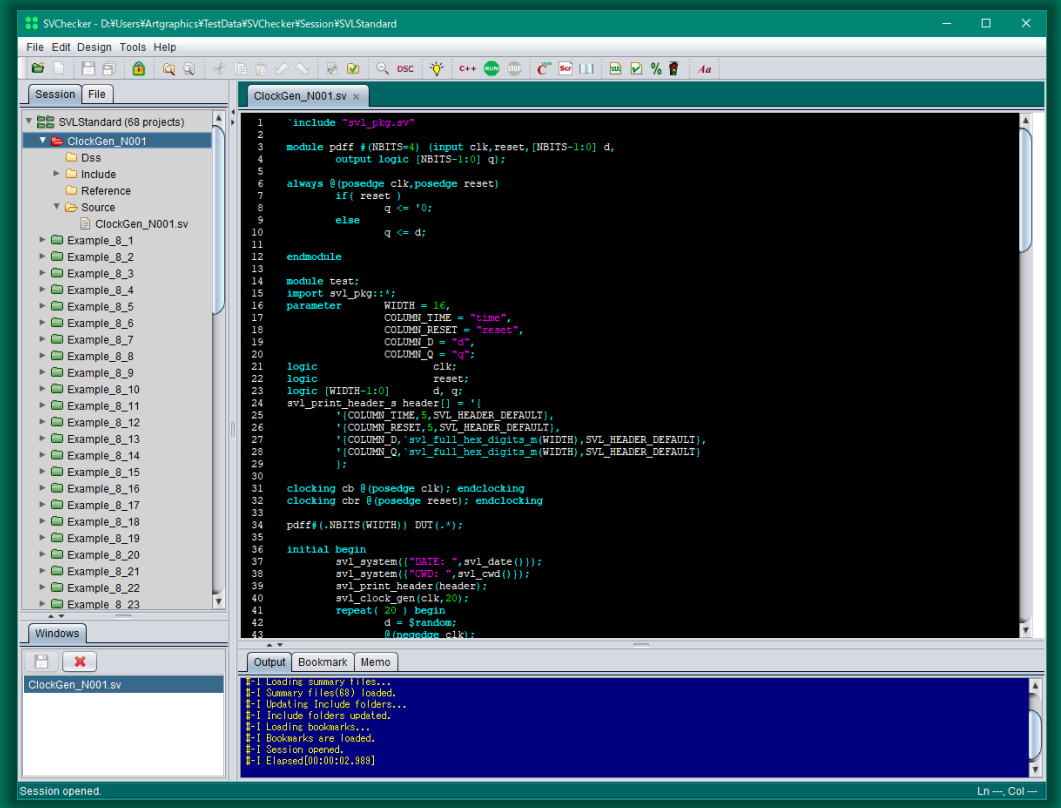
Copyright 2025 © Artgraphics. All rights reserved.

SystemVerilog IDE

- プロジェクトマネージャー
- クイック参照機能
- SystemVerilog コンパイラー
- 検証機能
- UVM サポート
- 自動バックアップ機能
- コード開発と支援機能
- デザインスタイルチェック
- SystemVerilog シミュレータ
- 検証ビューワー
- HTML 文書生成
- ソフトウェア更新機能

Copyright 2025 © Artgraphics. All rights reserved.

SystemVerilog IDEの外観



Copyright 2025 © Artgraphics. All rights reserved.

IEEE Std 1800-2023

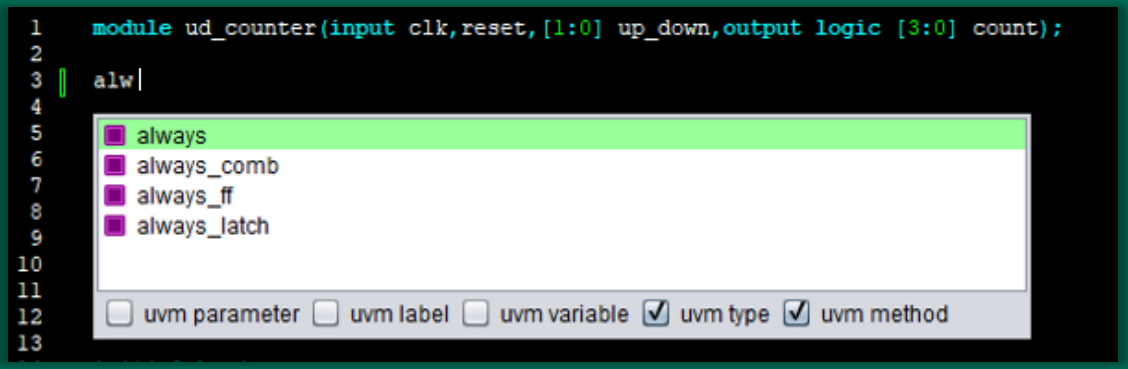
- SystemVerilog IDE は IEEE Std 1800-2023に準拠しています。使用可能な代表的新機能を以下に紹介します。

- 三重引用符文字列（"""..."""）
- soft packed union
- アレイとインデックスイタレータ
- アレイmap機能
- [+/-]、[+%-]
- rand real
- type(this)
- finalクラス
- initial、extends、finalメソッド
- 制約とinitial、extends、final
- コンストラクタとdefault引数
- カバーグループの拡張
- weak reference

Copyright 2025 © Artgraphics. All rights reserved.

トークンナビゲータ

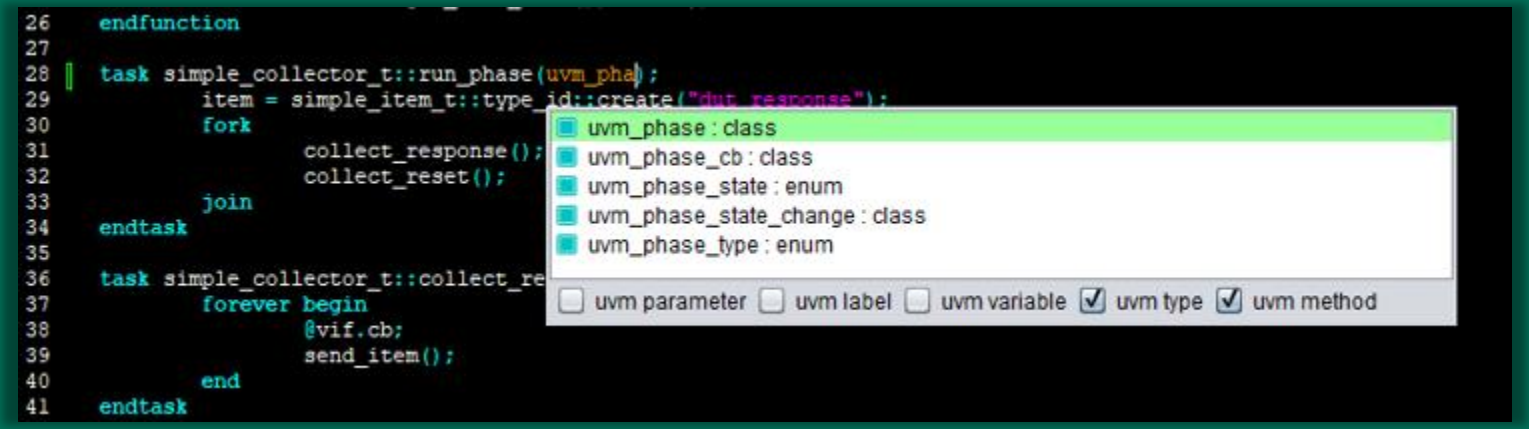
- ナビゲータが入力文字の近くに自動的に現れ、次に入力すべき文字候補のリストを表示しタイプ入力の負荷を軽減します。
- ↑ と ↓キーにより選択を変更できます。
- Enterキーを押すと選択されているワードで入力が完了します。



Copyright 2025 © Artgraphics. All rights reserved.

UVMナビゲータ

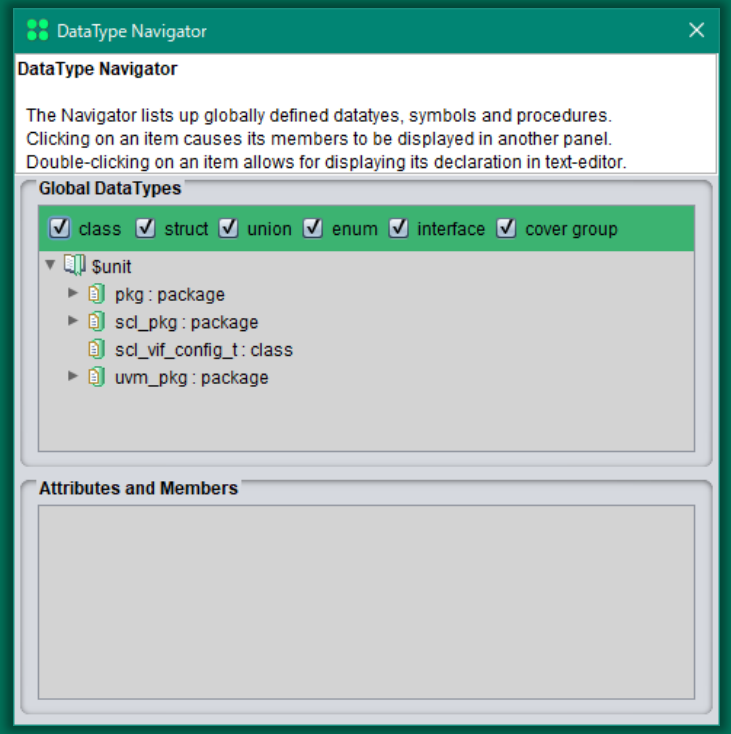
- ナビゲータは、UVMキーワード、データタイプ、クラス、メソッド等も認識します。



Copyright 2025 © Artgraphics. All rights reserved.

データタイプナビゲータ

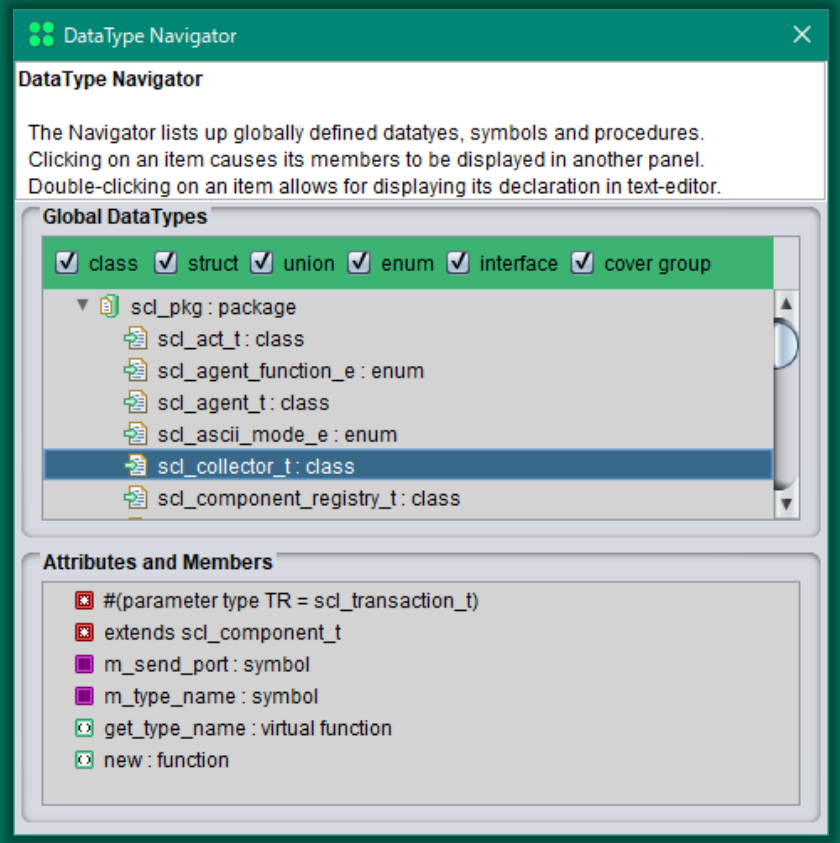
- ユーザ定義のデータタイプやUVMのデータタイプを簡単にアクセスできます。
- ナビゲータ内のデータタイプ名をダブルクリックすると、そのデータタイプが定義されているファイルが開きます。
- データタイプ定義が変更されると、ナビゲータの情報も同期して自動的に更新されます。



Copyright 2025 © Artgraphics. All rights reserved.

データタイプナビゲータの使用例

- データタイプ名をクリックすると定義情報の概要が下のサブペインに表示されます。
- 右の例では、scl_collector_tがクリックされた状態を示しています。



Copyright 2025 © Artgraphics. All rights reserved.

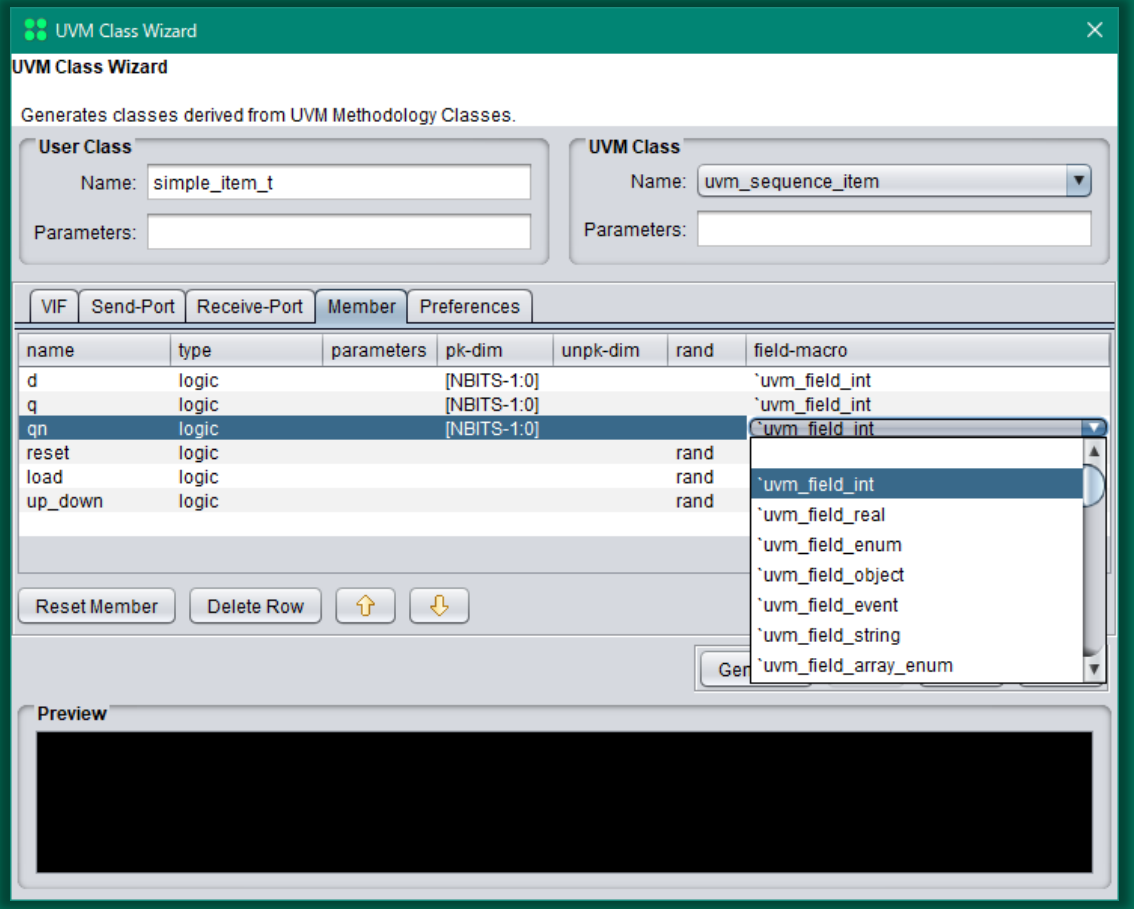
UVMクラスウィザード

- UVMを使用する際、必須項目が多くタイプ入力の負荷が大きい問題と間違い易い記述が多い問題があります。UVMクラスウィザードは、これらの負荷を軽減します。
- UVMクラスウィザードは、必須のUVMマクロおよびフィールドマクロを生成します。
- UVMクラスウィザードは、*_phaseメソッドのスケルトンも生成します。

Copyright 2025 © Artgraphics. All rights reserved.

UVMクラスウィザードの使用例

- 類似の定義が続く場合には、!!を入力すると内容がコピーされます。その後、必要に応じて編集すれば完了します。
- フィールドマクロはドロップダウンリストから選択するだけで完了します。



Copyright 2025 © Artgraphics. All rights reserved.

UVMクラスウィザード生成例

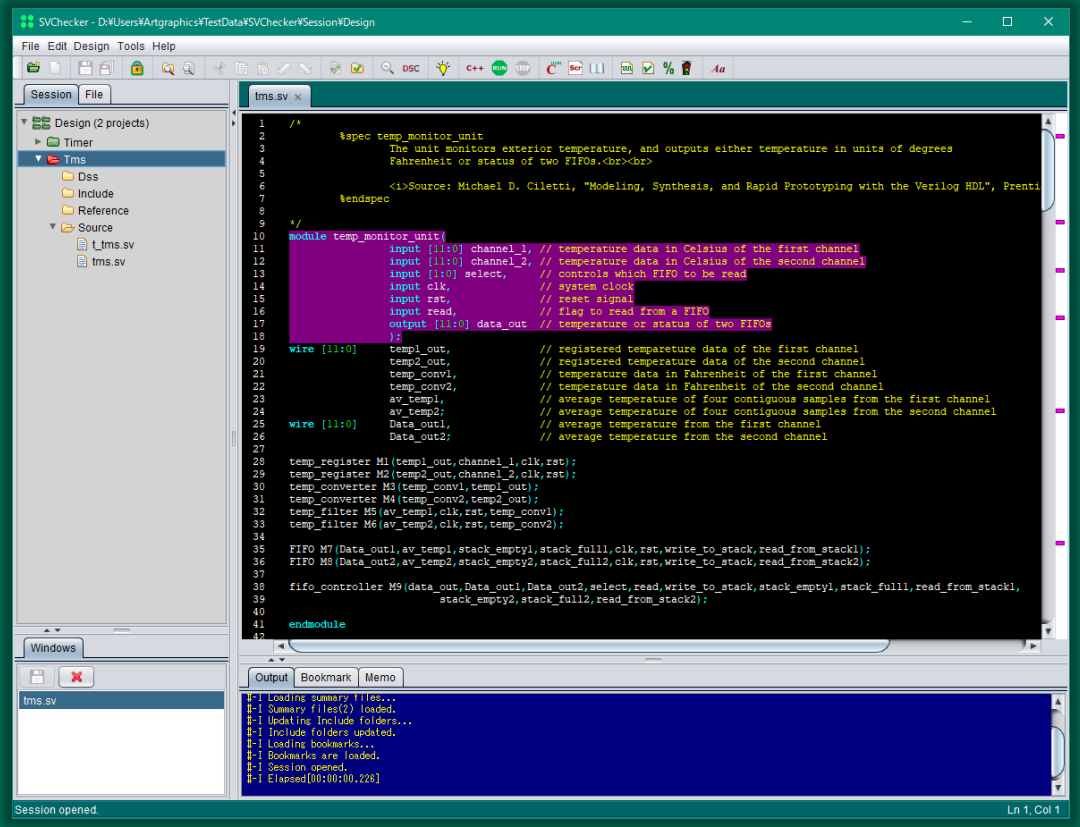
- クラス生成ボタンをクリックすると右のようにクラスが生成されます。
- 必要なマクロが生成されている様子を確認できます。

```
1   // ------------------------------------------------
2   //
3   //      simple_item_t
4   //
5   // ------------------------------------------------
6   class simple_item_t extends uvm_sequence_item;
7   logic [NBITS-1:0]       d;
8   logic [NBITS-1:0]       q;
9   logic [NBITS-1:0]       qn;
10  rand logic      reset;
11  rand logic      load;
12  rand logic      up_down;
13  `uvm_object_utils_begin(simple_item_t)
14          `uvm_field_int(d,UVM_DEFAULT)
15          `uvm_field_int(q,UVM_DEFAULT)
16          `uvm_field_int(qn,UVM_DEFAULT)
17          `uvm_field_int(reset,UVM_DEFAULT)
18          `uvm_field_int(load,UVM_DEFAULT)
19          `uvm_field_int(up_down,UVM_DEFAULT)
20  `uvm_object_utils_end
21  //
22  //      new
23  //
24  function new(string name="simple_item_t");
25          super.new(name);
26  endfunction
27  endclass
```

Copyright 2025 © Artgraphics. All rights reserved.

ハイライト機能

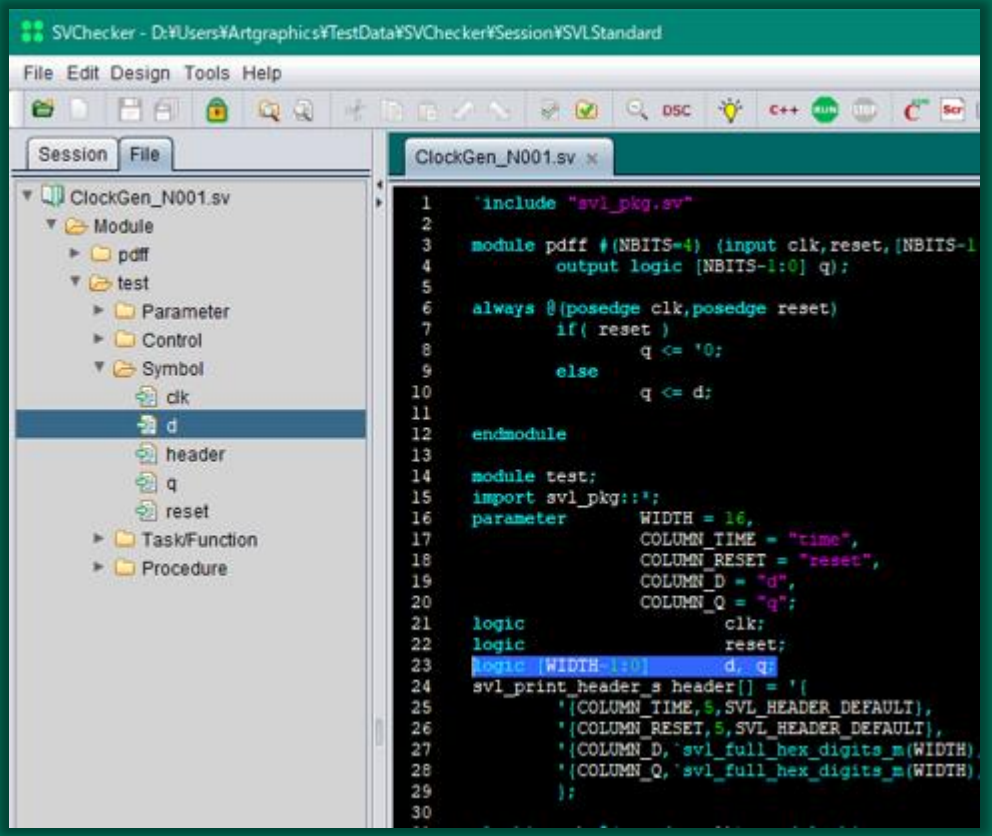
- module、initial、always、task、function、class等をハイライトできます。
- 右端のロケータをクリックするとハイライトされた箇所に飛ぶ事ができます。



Copyright 2025 © Artgraphics. All rights reserved.

ファイルビュー

- コンパイルするとファイル構造が作成され、ファイルの構成要素をクリックするだけでアクセスできます。
- 右図では、ｄノードをクリックしているので、変数ｄが定義されている行がハイライトされています。
- 大きなファイル内で変数の定義場所を位置付ける場合に便利な機能です。



Copyright 2025 © Artgraphics. All rights reserved.

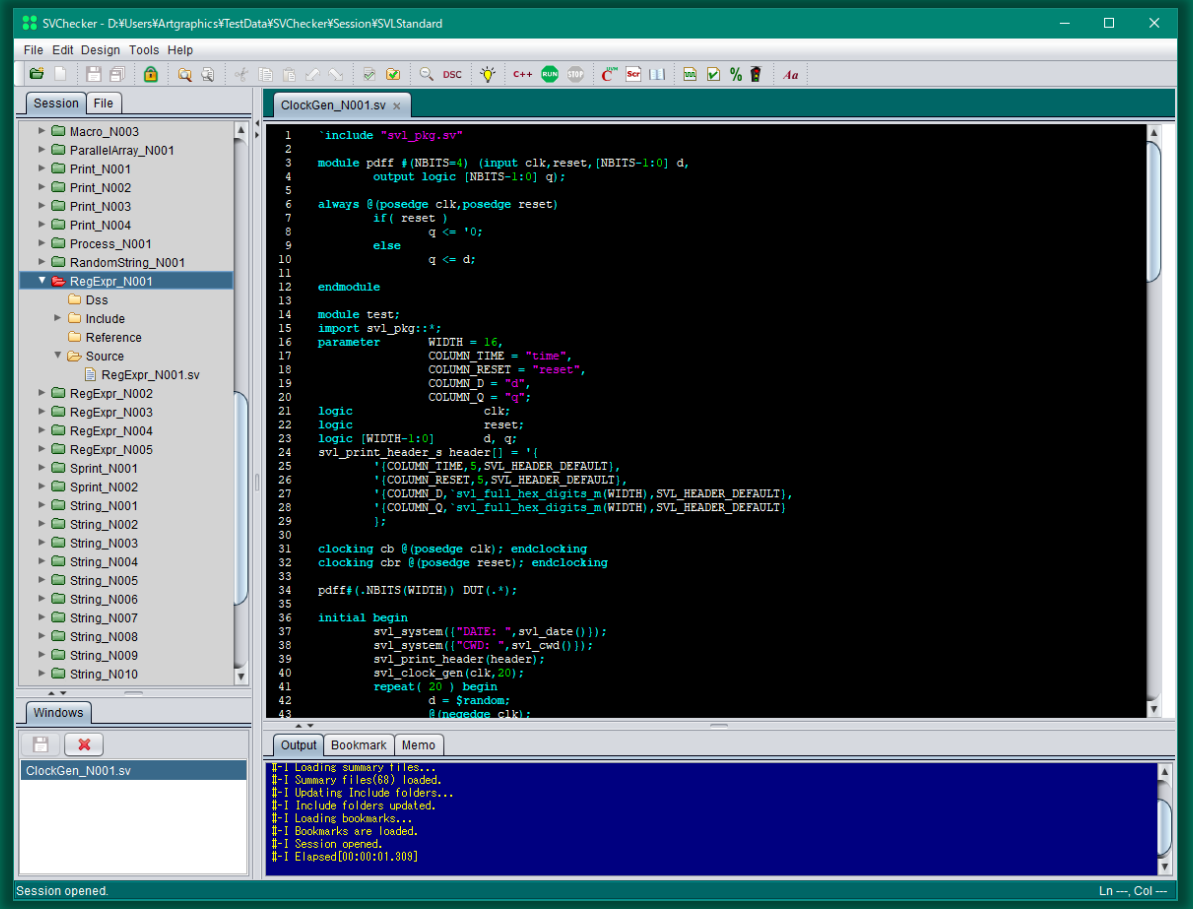
プロジェクトマネージャー

- SystemVerilogでは、ソースコードはソースファイルとインクルードされたファイルから構成されます。
- SystemVerilog IDEでは、ソースファイルとインクルードされたファイルはプロジェクトフォルダのもとで管理されます。
- ソースファイルはSourceフォルダ、インクルードファイルはIncludeフォルダで管理されます。
- フォルダで管理するファイル数に制限はありません。
- マウスクリックだけで、フォルダへのファイルの追加、フォルダからファイルの削除をできます。
- プロジェクトマネージャーは、フォルダの情報を基にしてコンパイルする情報を構築します。
- Includeフォルダーの内容はコンパイラーにより自動的に更新されます。

Copyright 2025 © Artgraphics. All rights reserved.

プロジェクトマネージャーの例

プロジェクト



- 赤く表示されているフォルダーはアクティブなプロジェクトを意味します。
- コンパイルする際には、アクティブなプロジェクトが対象になります。

Copyright 2025 © Artgraphics. All rights reserved.

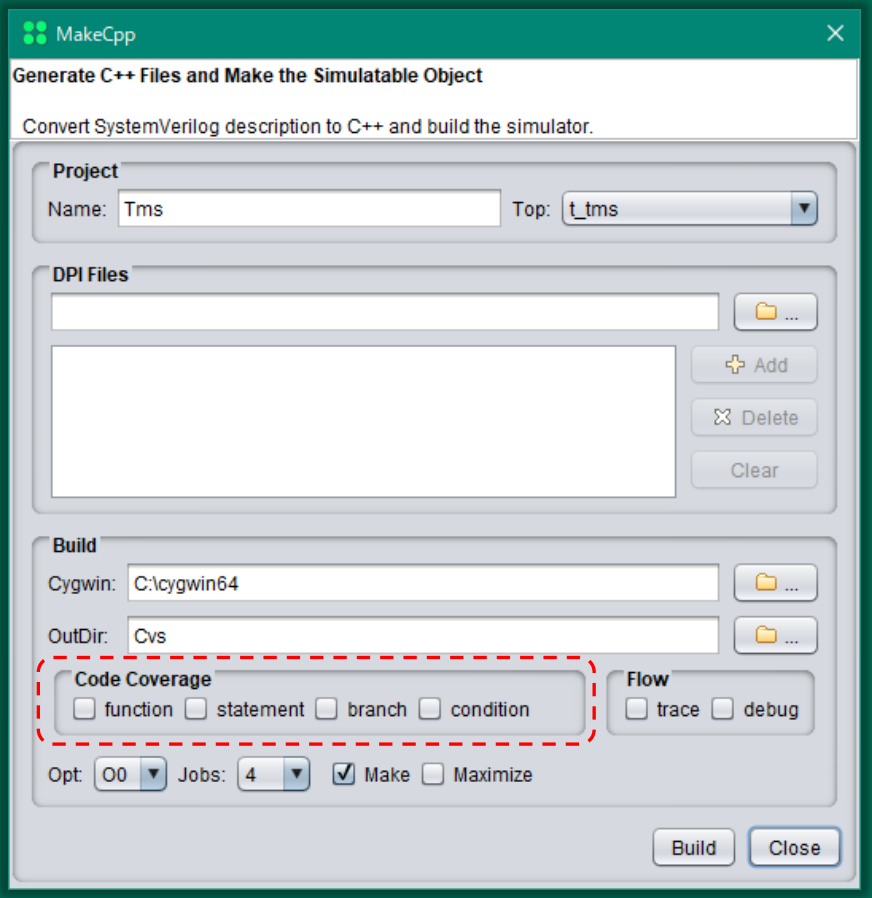
MakeCpp

- シミュレーションするための実行モジュールを作成する手順は、MakeCppにより行われます。
- MakeCppはSystemVerilog記述をC++に変換し、C++コンパイラを使用して実行モジュールを作ります。
- 実行モジュールが作成されると、何度でも実行を繰り返す事ができます。一度のコンパイルで多くのテストケースを実行する事ができます。

Copyright 2025 © Artgraphics. All rights reserved.

MakeCppの実行例

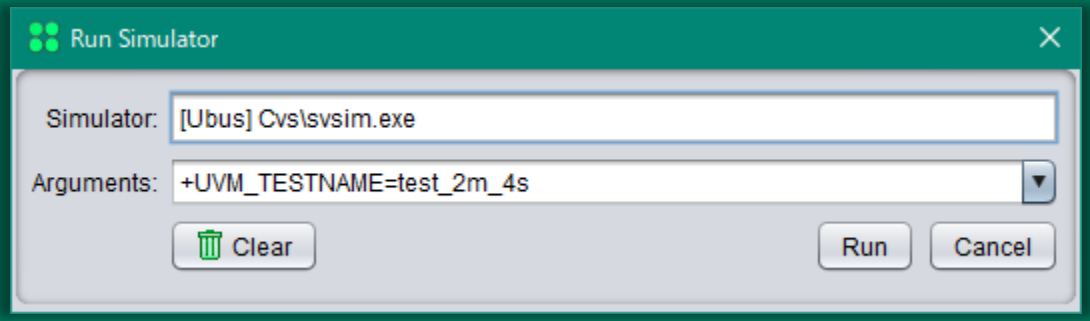
- コードカバレッジはSystemVerilog機能の一部ではありませんが、SystemVerilog IDEによりサポートされています。
- コードカバレッジのオプションを設定すれば、シミュレーション時にコードカバレッジの処理が行われます。



Copyright 2025 © Artgraphics. All rights reserved.

シミュレーションの実行

- シミュレーションの実行には、下図に示すRun Simulatorダイアログが使用されます。
- ダイアログ内で実行に必要なパラメータを指定できます。
- 一度指定されたパラメータは記録されるので、次回以降はドロップダウンリストからパラメータリストを選択するだけで済みます。



Copyright 2025 © Artgraphics. All rights reserved.

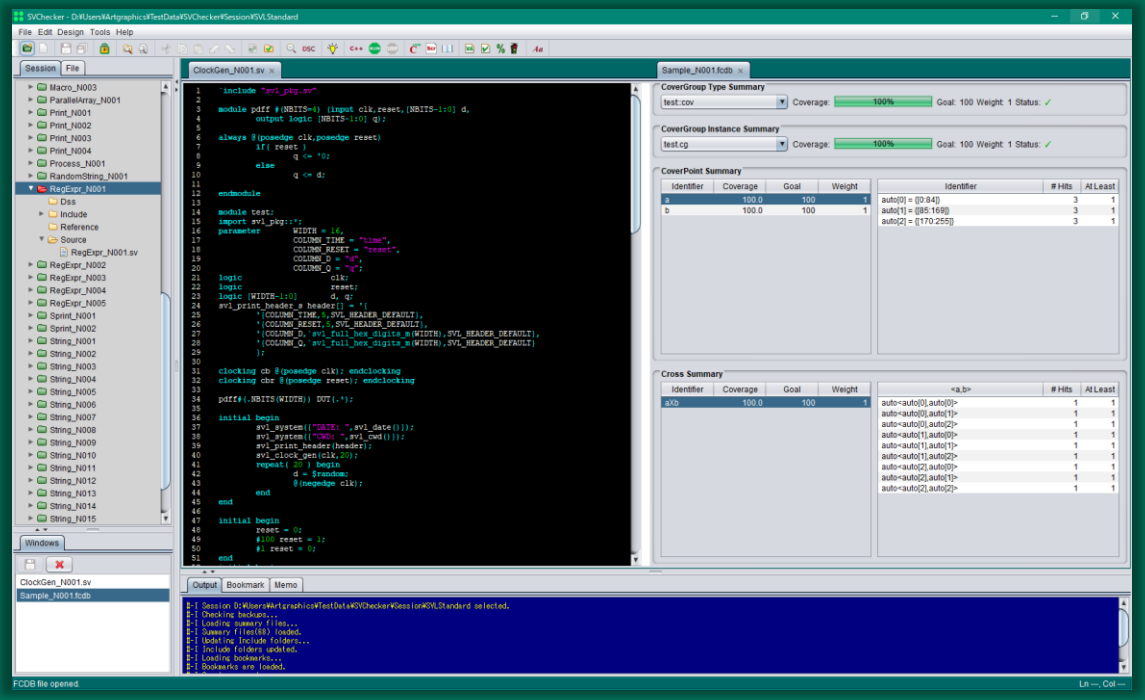
検証機能

- ファンクショナルカバレッジとアサーションは、標準機能としてサポートされています。従って、SystemVerilogソースコード中にそれらの機能の記述が指定されていれば、シミュレータにより実行されます。
- シミュレーションの実行が終了すると検証機能の結果がファイルに生成されているので、何時でもビューワーで検証結果を確認できます。
- SystemVerilog IDEは、検証結果を通常のファイルと同じように扱って表示します。

Copyright 2025 © Artgraphics. All rights reserved.

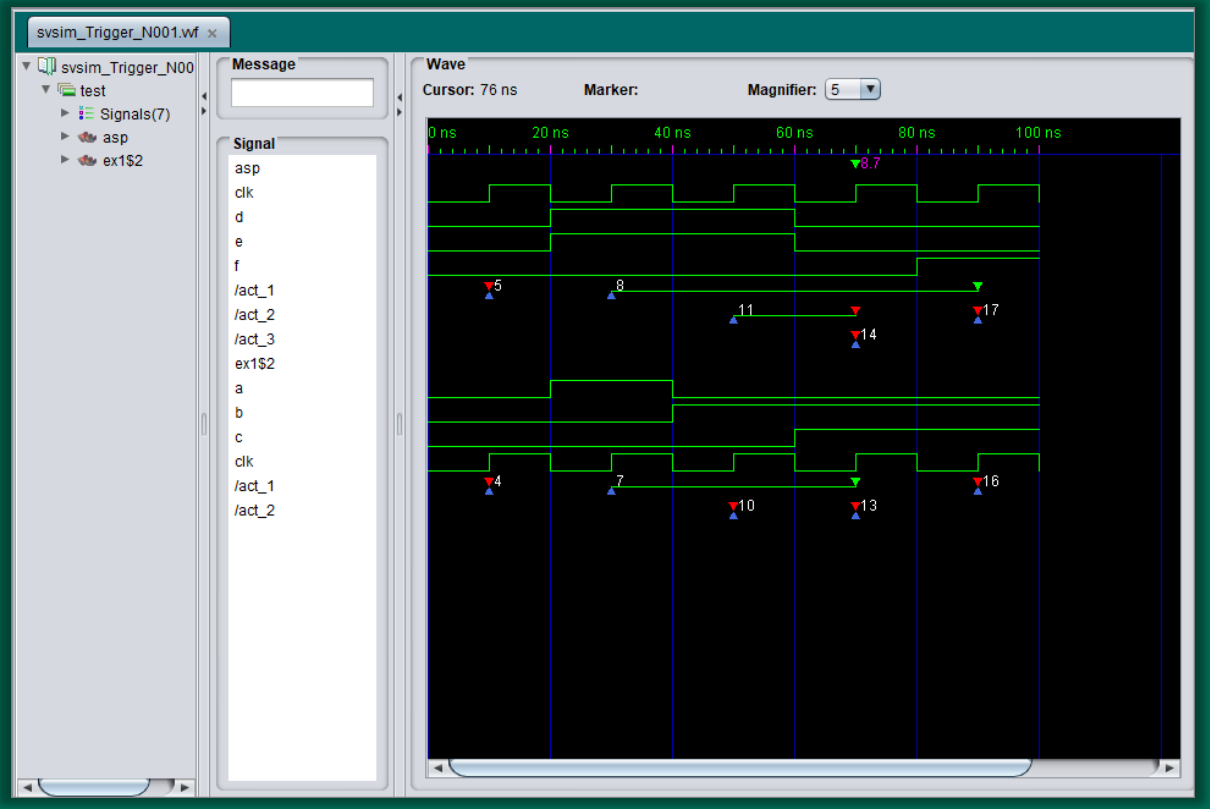
テキストウィンドウと検証結果の例

- SystemVerilog IDEはテキストウィンドウと検証結果を同じように扱います。下図は、テキストエディタとファンクショナルカバレッジの結果を同時に表示しています。



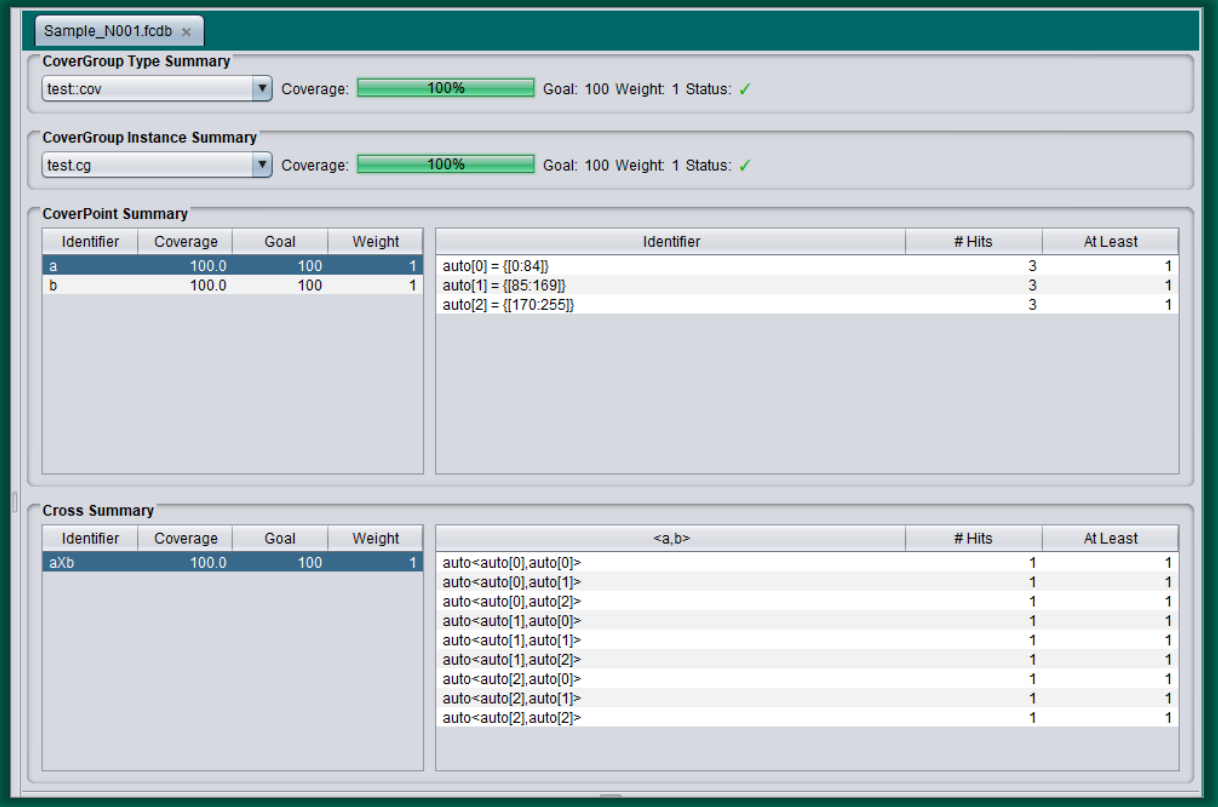
Copyright 2025 © Artgraphics. All rights reserved.

アサーション実行例



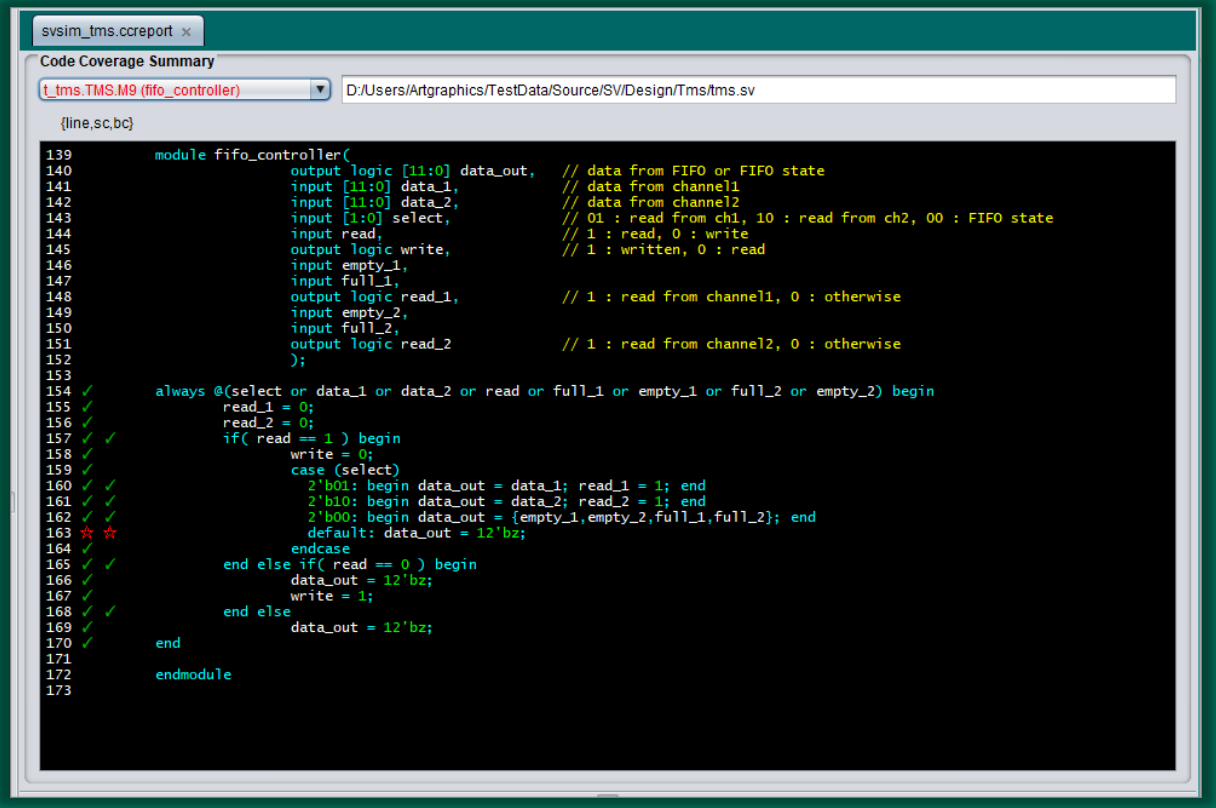
Copyright 2025 © Artgraphics. All rights reserved.

ファンクショナルカバレッジ実行例



Copyright 2025 © Artgraphics. All rights reserved.

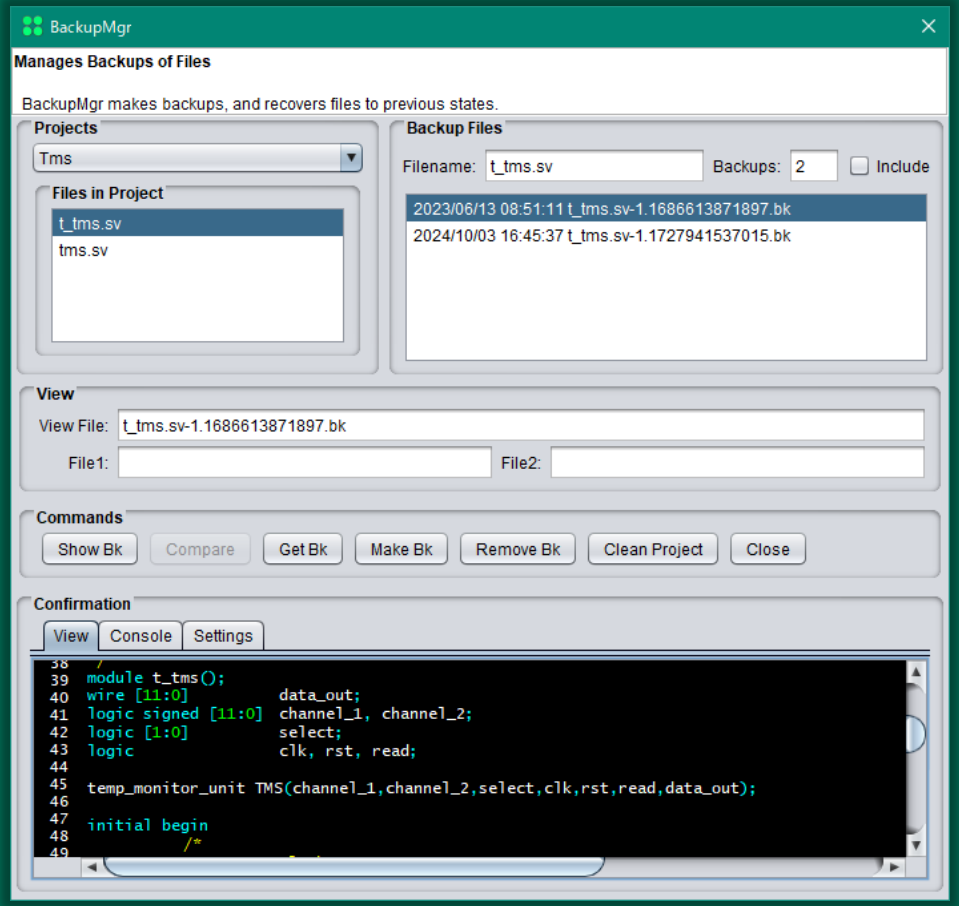
コードカバレッジ実行例



Copyright 2025 © Artgraphics. All rights reserved.

自動バックアップ

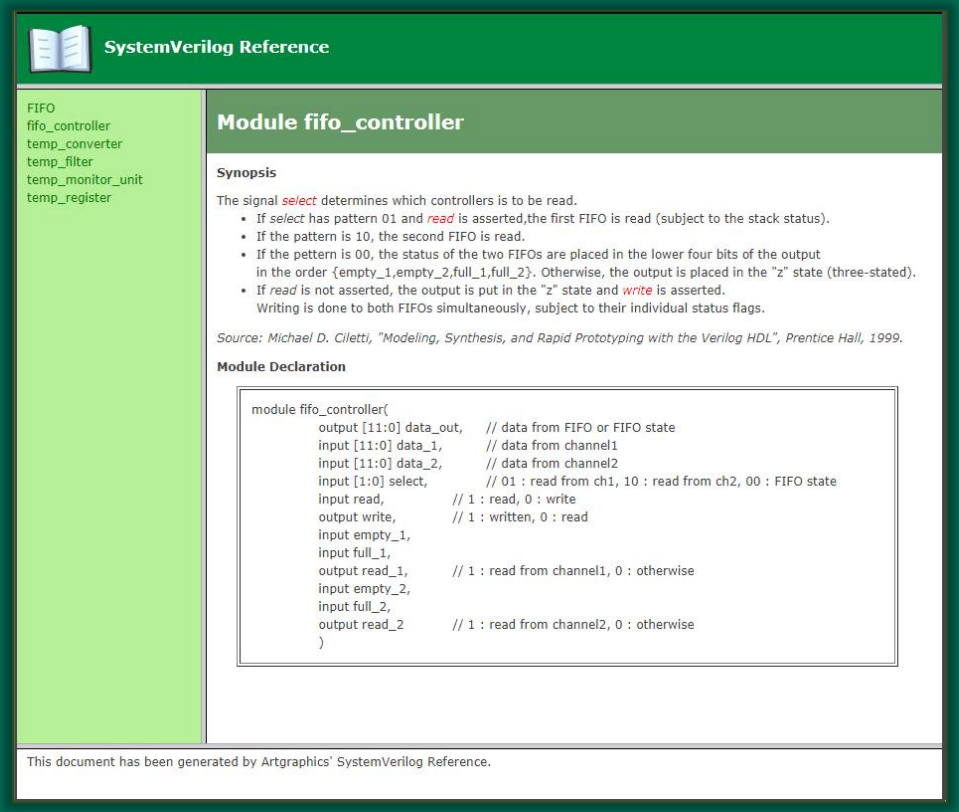
- 編集用にソースファイルを開くと、自動的にファイルのバックアップが作られます。但し、前回のバックアップと内容が同じであれば、新たなバックアップは作られません。
- バックアップは圧縮されて管理されるのでディスクスペースを無駄にしません。
- 編集中にファイルが壊滅状態になっても編集開始時点の状態に戻れます。
- バックアップマネージャーを使用すると、以前のファイルの状態に戻る事ができます。
- 保有するバックアップのバージョン数を指定できます。



Copyright 2025 © Artgraphics. All rights reserved.

HTML文書生成

- HTML文書生成機能は、SystemVerilog記述から機能概要を抽出してHTMLファイルを生成する機能です。
- 生成されたHTMLファイルをブラウザーで閲覧できます。
- 仕様確認に便利なツールです。



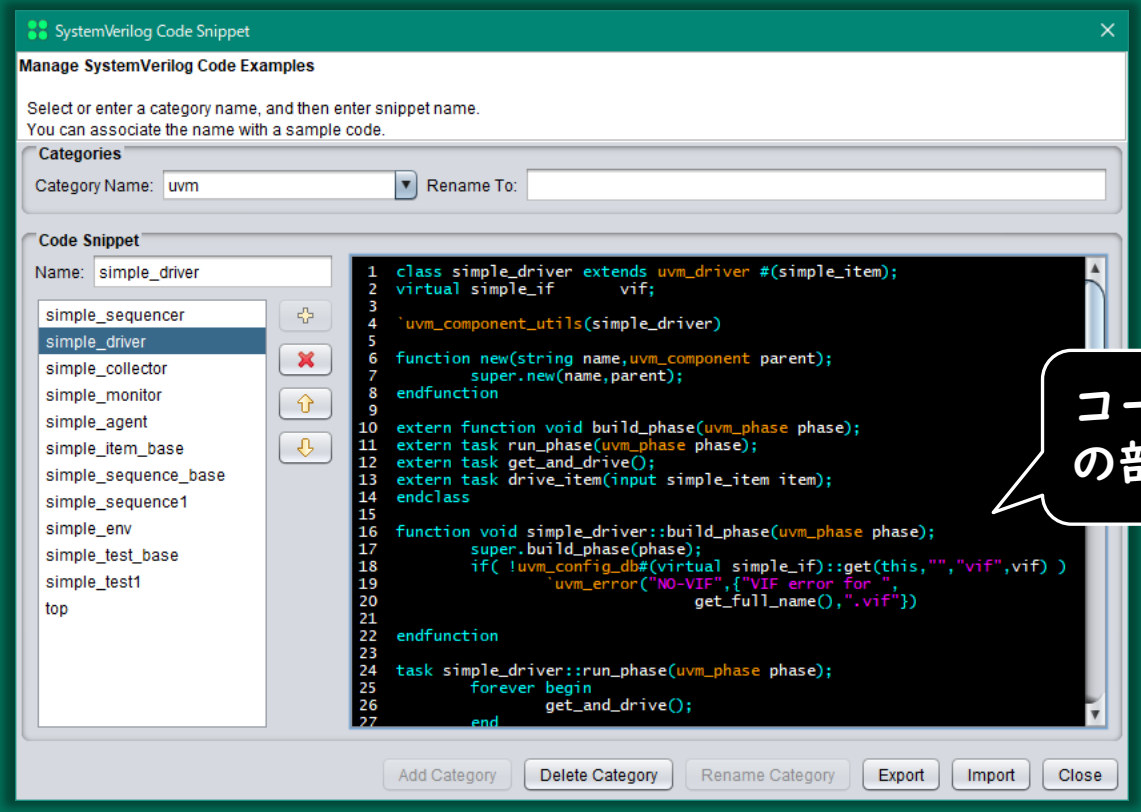
Copyright 2025 © Artgraphics. All rights reserved.

コードスニペット

- SystemVerilog IDEのコードスニペット機能は、記述の断片を記録する機能です。
- カテゴリーで分類してコードの断片を管理できるので便利です。
- 複雑なシンタックスを持つ機能の実装例、模範記述例、頻繁に使用する実装例等をコードスニペットとして登録しておくと生産性が向上します。
- コードスニペットを他の技術者と共有する事ができます。

Copyright 2025 © Artgraphics. All rights reserved.

コードスニペット例



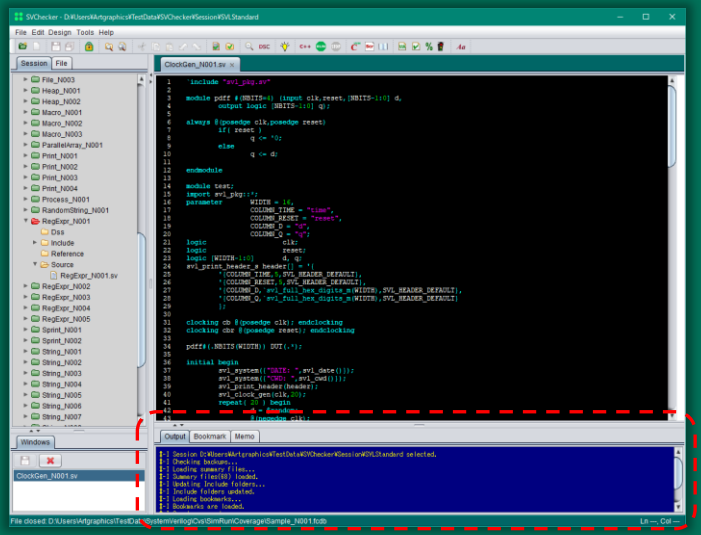
Copyright 2025 © Artgraphics. All rights reserved.

ブックマーク

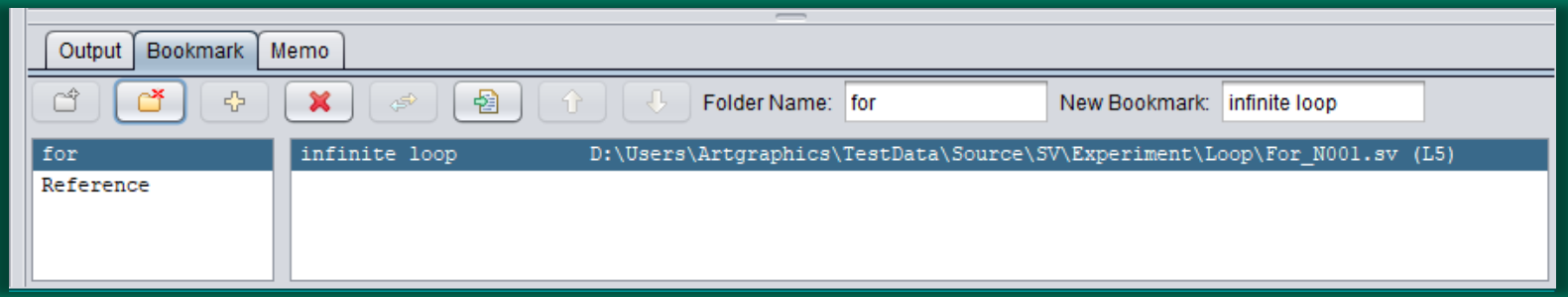
- 頻繁にアクセスするファイルをブックマークとして登録しておくと便利です。
- テキストファイルの任意の行をブックマークとして登録できます。
- ブックマークをクリックすると、ブックマークされた行を含むファイルが開き、ブックマークされた行がハイライトされます。
- ブックマークをフォルダで分類できるので、ブックマークの管理が容易です。

Copyright 2025 © Artgraphics. All rights reserved.

ブックマーク例



ブックマーク



Copyright 2025 © Artgraphics. All rights reserved.

SystemVerilog IDE 実行環境

Windows	Cygwin
	WSL-Ubuntu
Linux	Ubuntu desktop

Copyright 2025 © Artgraphics. All rights reserved.

まとめ

- SystemVerilog IDE は現代的なGUIを採用した先進的なIDEです。
- ファンクショナルカバレッジやアサーション等の検証機能は標準的にサポートされています。また、コードカバレッジ機能も備えられています。
- SystemVerilogの最新仕様 IEEE Std 1800-2023がサポートされています。
- SystemVerilog IDE はWindowsおよびLinuxで動作します。
- 低価格で、しかも使い易いSystemVerilog IDE を是非お試し下さい。

Copyright 2025 © Artgraphics. All rights reserved.