



**Artgraphics**

# SystemVerilog基礎講座 アレイ

篠塚一也

アートグラフィックス

Document Revision: 1.0,2025.04.30

[www.artgraphics.co.jp](http://www.artgraphics.co.jp)

# 注意事項 (Caveat)

---

- SystemVerilogの知識を個人的に習得する目的として本資料を活用して下さい。本資料を通して、業務（実践）で必要となるSystemVerilogに関する知識を習得して頂くのが本来の目的です。
- 転用目的（本来の目的と違った他の用途に使う事）で本資料を使用する事はご遠慮下さい。また、本資料から学んだ知識を転載する場合等は出典が本資料である事を明記して下さい。但し、他の著者の文書にも書かれている内容は、この限りではありません。本注意事項は現在及び過去に於ける弊社からの全てのフリーダウンロード資料に適用されます。
- 本注意事項に合意出来ない場合には、本資料を速やかに抹消して下さい。尚、ダウンロード記録は、依然として残ります。

# SystemVerilogの配列

---

- SystemVerilogにはpacked配列とunpacked配列があります。
- unpacked配列には、全てのデータタイプを使用できます。
- unpacked配列には、固定サイズを持つ配列、ダイナミック配列、キュー、associative配列等があります。
- unpacked配列には配列メソッドが定義されているので、検索・操作が容易です。
- 以下では代表的な機能を例題として紹介しますが、自身で解答してから次のスライドに進んでください。もし解答中に理解が不足していると感じたら、知識を復習するようにしてください。

# 例題－1 アレイの初期化

---

- 変数が以下のように宣言されているとします。

---

```
logic [1023:0]    a;  
bit [63:0]       b;  
string           color[1024];  
process          vcomp[string];
```

---

- 以下の問に答えて下さい。
  - ① アレイaのMSBとLSBに1、それ以外の位置には0を設定してください。
  - ② アレイbの全てのビット位置に1を設定してください。
  - ③ アレイcolorの全ての要素に“green”を設定してください。
  - ④ キー“this”を持つvcompの要素には現在実行中のプロセスを設定してください。

# 例題の解答と解説

---

- 以下のように代入文を使用します。foreachなどのループ文を使用する必要はありません。
  - ① `a = '{ 1023:1, 0:1, default:0 }';`
  - ② `b = '1';`
  - ③ `color = '{default:"green"}';`
  - ④ `vcomp["this"] = process::self();`

## 例題ー2 associativeアレイの初期化

---

- 以下のように宣言されたアレイcostの要素の初期値は0です。どの要素の初期値も100となるようにするにはどうすれば良いですか？

```
int    cost[string];
```

# 例題の解答と解説

---

- 以下のように宣言時に初期値を設定すれば良いです。

```
int cost[string] = '{ default:100 }';
```

---

## 例題－3 アレイの検索

---

- 以下のようにダイナミックアレイが定義されているとします。このアレイを検索して-5以上30以下の要素を求めるにはどうすれば良いですか？

```
int c[] = { -10, -5, 0, -11, 15, 1000, 30, 60, 100 };
```

---

# 例題の解答と解説

---

- アレイに備えられている検索メソッドを使えば問題を解けます。この場合には、以下のようにfind()メソッドを使用すれば良いです。

---

```
int      q[$];  
q = c.find() with (item inside {[-5:30]});
```

---

## 例題-4 アレイの代入

---

- 以下のようにアレイが定義されているとします。

```
int    a[6],  
       b[],  
       q[$];
```

- アレイの種類は異なりますが、同じファンクションでこれらのアレイをプリントしたいと思います。ファンクションを定義してください。

# 例題の解答と解説

---

- ファンクションが呼ばれる際には引数はコピーされるので、アレイの代入が実行されません。したがって、以下のようにダイナミックアレイで受けることができます。

---

```
function void print(int x[]);  
...  
endfunction
```

---

# 参考文献

---

文献[1]は最新版の仕様書です。是非一読下さい。ここで紹介した基礎知識は本質的に必要な知識です。理解を深めるためには、文献[2-4]を参照して下さい。文献[4]は設計分野で必要とされるSystemVerilogの基礎知識を非常に詳しく解説しています。初心者におすすめます。

[1] IEEE Std 1800-2023: IEEE Standard for SystemVerilog – Unified Hardware Design, Specification and Verification Language.

[2] 篠塚一也、SystemVerilogによる検証の基礎、森北出版 2020.

[3] 篠塚一也、SystemVerilog入門、共立出版 2020.

[4] 篠塚一也、SystemVerilog超入門、共立出版 2023.