



Artgraphics

SystemVerilog基礎講座 データタイプと式

篠塚一也

アートグラフィックス

Document Revision: 1.0,2025.04.24

www.artgraphics.co.jp

注意事項（Caveat）

- SystemVerilogの知識を個人的に習得する目的として本資料を活用して下さい。本資料を通して、業務（実践）で必要となるSystemVerilogに関する知識を習得して頂くのが本来の目的です。
- 転用目的（本来の目的と違った他の用途に使う事）で本資料を使用する事はご遠慮下さい。また、本資料から学んだ知識を転載する場合等は出典が本資料である事を明記して下さい。但し、他の著者の文書にも書かれている内容は、この限りではありません。本注意事項は現在及び過去に於ける弊社からの全てのフリーダウンロード資料に適用されます。
- 本注意事項に合意出来ない場合には、本資料を速やかに抹消して下さい。尚、ダウンロード記録は、依然として残ります。

例題－1 宣言に関する問題

- 以下の主張に間違いがあれば訂正して下さい。
- ① logic型のネットはxで初期化されますが、logic型の変数は0で初期化されます。
- ② logic型の変数は符号付きが標準です。
- ③ byteは16ビット符号なしです。
- ④ logicやbitにはpackedアレイの概念がありますが、byte、shortint、int、longintにはpackedアレイの宣言機能はありません。
- ⑤ enumの宣言でデータタイプを省略するとlogic型が仮定されます。
- ⑥ SystemVerilogではregを使用できません。

例題の解答と解説

- ① 間違いです。ネットでも変数でもlogic型であればxで初期化されます。
- ② 間違いです。logic型の変数は符号なしが標準です。
- ③ 間違いです。byteは8ビット符号付きです。
- ④ 正しいです。
- ⑤ 間違いです。enumの宣言でデータタイプを省略するとint型が仮定されます。
- ⑥ 間違いです。SystemVerilogでregを使用できますが、使用は推奨されていません。

例題ー2 ネットと変数の初期化に関する問題

- 以下の記述におけるzとwの機能的な相違があれば、指摘して下さい。

```
module test;  
  logic    a, b;  
  logic    z = a & b;  
  wire     w = a | b;  
  ...  
endmodule
```

例題の解答と解説

- zは単なる初期値設定ですが、以下のようにwは連続代入文として扱われます。

```
assign    w = a | b;
```

例題ー3 符号付きと符号なしに関する問題

- 以下の計算において、それぞれどのような値がプリントされますか。

```
byte      a, b;

initial begin
    a = 127;
    b = 127;
    $display("%0d",{a+b});
    $display("%0d",a+b);
end
```

例題の解答と解説

- $\{a+b\}$ は符号なしなので254。
- $a+b$ は8ビット符号付きなので-2となります。

例題ー4 アレイ代入文に関する問題

- 以下の記述に関して質問に答えて下さい。

```
int src[3], dest1[], dest2[];  
src = '{2, 3, 4};  
dest1 = new[2] (src);  
dest2 = new[4] (src);
```

- ① dest1[0]とdest1[1]の値は何ですか？
- ② dest2[0]とdest2[3]の値は何ですか？

例題の解答と解説

- ① `dest1[0]==2`、`dest1[1]==3`。
- ② `dest2[0]==2`、`dest2[3]==0`。

例題－5 変数の使用法に関する問題

- 以下の記述に誤りがあれば、指摘して下さい。

```
module design(input a,b,output z);  
  assign z = v;  
  
  and(w,a,b);  
  
  always @(w)  
    v = ~w;  
  
endmodule
```

例題の解答と解説

- 変数 v が宣言されずに使用されているので間違いです。一方、 w も宣言されずに使用されていますが、1ビットのネットとして使用されているので正しい記述です。

例題－6 ネットの使用法に関する問題

- 以下の記述に誤りがあれば、指摘して下さい。

```
module design(input a,b,c,d,output z);  
  assign z = w[0] | w[1];  
  and(w[0],a,b);  
  or(w[1],c,d);  
endmodule
```

例題の解答と解説

- `w[0]`と`w[1]`がネットとして使用されていますが、アレイ`w`が宣言されていないのでエラーになります。

例題ー7 異なるビット長に関する問題

- 以下の記述において、どのような値がプリントされますか？

```
logic [15:0]          a;
logic signed [15:0]   b, c;
logic signed [7:0]    x;

initial begin
    x = -2;
    a = x[7:0];
    b = x[7:0];
    c = x;
    $display("a = %h(%0d)", a, a);
    $display("b = %h(%0d)", b, b);
    $display("c = %h(%0d)", c, c);
end
```

例題の解答と解説

- 左辺が右辺よりもビット幅が長い場合、右辺の左側にビットが補充されて拡張されます。その際、右辺が符号付きであれば右辺の符号で、符号なしであれば1'b0でビットが補充されます。
- `x[7:0]`は符号なしなので、右辺の`x[7:0]`は1'b0で補充されます。しかし、`x`は符号付きなので、右辺の`x`は`x`の符号で補充されます。
- 以下のようにプリントされます。

```
a = 00fe (254)
b = 00fe (254)
c = fffe (-2)
```

参考文献

文献[1]は最新版の仕様書です。是非一読下さい。SystemVerilogに関する知識の確認には、文献[2-4]を参照して下さい。文献[4]は設計分野で必要とされるSystemVerilogの基礎知識を非常に詳しく解説しています。

- [1] IEEE Std 1800-2023: IEEE Standard for SystemVerilog – Unified Hardware Design, Specification and Verification Language.
- [2] 篠塚一也、SystemVerilogによる検証の基礎、森北出版 2020.
- [3] 篠塚一也、SystemVerilog入門, 共立出版 2020.
- [4] 篠塚一也、SystemVerilog超入門, 共立出版 2023.